

03500.017568



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)
Tetsuya ITANO et al.) : Examiner: Unassigned
Application No.: 10/665,593) : Group Art Unit: Unassigned
Filed: September 22, 2003) :
For: MANUFACTURING METHODS OF) January 5, 2004
SEMICONDUCTOR DEVICE AND SOLID)
STATE IMAGE PICKUP DEVICE)

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT


Sir:

In support of Applicants' claim for priority under 35 U.S.C. § 119, enclosed is one certified copy of the following foreign application:

JAPAN 2002-275019, filed September 20, 2002.

Applicants' undersigned attorney may be reached in our Washington, D.C., office by telephone at (202) 530-1010. All correspondence should continue to be directed to our address given below.

Respectfully submitted,



Attorney for Applicants
Steven E. Warner
Registration No. 33,326

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200
SEW/eab

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 2 0 日
Date of Application:

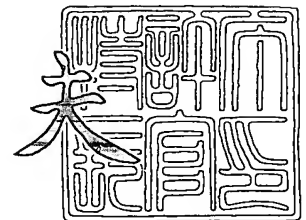
出 願 番 号 特 願 2 0 0 2 - 2 7 5 0 1 9
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 7 5 0 1 9]

出 願 人 キヤノン株式会社
Applicant(s):

2 0 0 3 年 1 0 月 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 4774017

【提出日】 平成14年 9月20日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 27/14

【発明の名称】 半導体装置及び固体撮像装置の製造方法

【請求項の数】 8

【発明者】

【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号キヤノン株式会社
内

【氏名】 板野 哲也

【発明者】

【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号キヤノン株式会社
内

【氏名】 乾 文洋

【発明者】

【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号キヤノン株式会社
内

【氏名】 小倉 正徳

【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号

【氏名又は名称】 キヤノン株式会社

【代表者】 御手洗 富士夫

【電話番号】 03-3758-2111

【代理人】**【識別番号】** 100090538**【住所又は居所】** 東京都大田区下丸子 3 丁目 3 0 番 2 号キャノン株式会社
内**【弁理士】****【氏名又は名称】** 西山 恵三**【電話番号】** 03-3758-2111**【選任した代理人】****【識別番号】** 100096965**【住所又は居所】** 東京都大田区下丸子 3 丁目 3 0 番 2 号キャノン株式会
社内**【弁理士】****【氏名又は名称】** 内尾 裕一**【電話番号】** 03-3758-2111**【手数料の表示】****【予納台帳番号】** 011224**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9908388**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置及び固体撮像装置の製造方法

【特許請求の範囲】

【請求項 1】 複数の配線層を有する半導体装置の製造方法において、

第一の配線層は所望パターンを複数に分割し、前記分割されたパターンをつなぎ合わせて露光することでパターン形成され、

第二の配線層は一括露光によりパターン形成されることを特徴とする半導体装置の製造方法。

【請求項 2】 前記第一の配線層は前記分割されたパターンをつなぎ合わせるつなぎ位置を跨がない配線層、前記第二の配線層は前記つなぎ位置を跨ぐ領域を有する配線層である請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記第一の配線層は前記分割されたパターンをつなぎ合わせるつなぎ位置に平行する水平方向配線層、前記第二の配線層は前記つなぎ位置に直交する垂直方向配線層である請求項 1 に記載の半導体装置の製造方法。

【請求項 4】 光を信号電荷に変換する光電変換領域を有する画素と、第一の配線層と第二の配線層とからなる複数の配線層と、を有する固体撮像装置の製造方法において、

第一の配線層は所望パターンを複数に分割し、前記分割されたパターンをつなぎ合わせて露光することでパターン形成され、

第二の配線層は一括露光によりパターン形成されることを特徴とする固体撮像装置の製造方法。

【請求項 5】 前記第一の配線層は前記分割されたパターンをつなぎ合わせるつなぎ位置を跨がない配線層、前記第二の配線層は前記つなぎ位置を跨ぐ領域を有する配線層である請求項 4 に記載の固体撮像装置の製造方法。

【請求項 6】 前記第一の配線層は垂直方向配線層、前記第二の配線層は水平方向配線層である請求項 4 に記載の固体撮像装置の製造方法。

【請求項 7】 前記水平方向配線層は前記画素の駆動線である請求項 6 に記載の固体撮像装置の製造方法。

【請求項 8】 前記複数の配線層を形成する工程の前に、前記画素には相補性金属酸化膜半導体が形成される工程を有する請求項 4 記載の固体撮像装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置及び固体撮像装置の製造方法に関し、特に所望パターンを複数に分割し、分割されたパターンをつなぎ合わせて露光するつなぎ露光を用いた半導体装置及び固体撮像装置の製造方法である。

【0002】

【従来の技術】

半導体基板上にチップサイズの大きな半導体装置を形成する場合、例えば特開平 5-6849 号公報に記載された半導体装置の製造方法等が知られている。

【0003】

【特許文献 1】

特開平 5-6849 号公報

【0004】

図 13 (A) ~ (C) は、特開平 5-6849 号公報に記載された半導体装置の製造方法である。

【0005】

図 13 (A) は、従来技術の半導体装置の製造方法を説明するための半導体基板上のファーストレイヤーの模式的パターン図、図 13 (B) は図 13 (A) のファーストレイヤーを形成するために用いられる第 1 のレチクルの模式的パターン図、図 13 (C) はセカンドレイヤーを形成するための第 2 のレチクルの模式的パターン図である。

【0006】

第 1 のレチクル 105 内には、パターン A, B, C が 3 分割されて設けられており、それぞれのパターン中には IC パターンが形成されている。パターン A, B, C をたてに並べ、つなぎ合わせ、つなぎ合わせたパターン A, B, C で 1 チ

ップを構成している。

【0007】

第1のレチクル105を、縮小投影型露光装置にセットし、その装置に付随するシステムにより、半導体基板101（以降ウェハー101と記す）に、図13（A）に示されているつなぎ合わされたパターンが焼き付けられるように、ウェハー101上のファーストレイヤーのレイアウトをプログラムする。図13（B）に示されるアライメントマーク103は、ダイバイダイ方式のアライメントマークであり、図13（A）に示されるように、露光された後、半導体基板上では、つなぎ合わされた各パターンA、B、Cの両側に形成され、セカンドレイヤーに対するアライメントマーク（親マーク）102となる。

【0008】

また、ファーストレイヤーを焼き付ける際、第1のレチクル105は、縮小投影型露光装置のマスキングブレードの位置を、各ショット（パターンA、B、C）ごとにかえることにより、パターンAの部分焼き付けるときにはパターンB、Cの部分は、このブレードによりかくし、光が透過しないようにしている。パターンB、Cをそれぞれ焼き付けるときも同様である。

【0009】

パターンA、B、Cが形成された後、そのパターンによってエッチング、不純物拡散、CVD（Chemical Vapor Deposition）膜等の堆積等の通常の半導体製造プロセスを施した後、セカンドレイヤーにおけるパターンを形成する。

【0010】

次にセカンドレイヤーでは、図13（C）に示される第2のレチクル106を使用し、ファーストレイヤーで形成された親マークであるアライメントマーク102を子マークであるアライメントマーク104に合わせるようにアライメントされる。つまり、パターンA'は、パターンAに重なり、パターンB'はパターンBに重なるようにアライメントされる。パターンA'、B'、C'が露光されるときは、ファーストレイヤーと同様、マスキングブレードの位置を変えることにより行なわれる。

【0011】

また、従来技術においては、つなぎ位置を跨ぐ配線が微細加工対応の縮小投影装置を用いて所望パターンを複数に分割し、分割されたパターンをつなぎ合わせて露光するつなぎ露光技術を用いて形成される場合、つなぎ位置を跨ぐ配線は図14に示すように、つなぎ位置に関して左右のショットのアライメント精度を考慮したマージンをもった配線としていた。

【0012】

【発明が解決しようとする課題】

しかしながら、つなぎ位置を跨ぐ領域を有する配線層及び跨がない配線層が存在するような複数層の配線層を有する半導体装置及び固体撮像装置において、つなぎ位置を跨ぐ領域を有する配線層を分割されたパターンをつなぎ合わせて形成すると、前述した通りアライメントマージンを考慮してパターン形成されるので、工程数を増やして微細加工対応の縮小投影装置を用いているのにもかかわらず露光面積の大きい縮小投影装置を用いて一括露光で形成する場合よりも、配線幅、配線間スペースで有利にならなかった。

【0013】

【課題を解決するための手段】

本発明は、上記課題に鑑みなされたものであり、その目的は、つなぎ露光を用いた半導体装置の製造方法において、工程数を削減し、効率的に感度の高い半導体装置の製造方法を提供することにある。

【0014】

上記課題を解決するために本発明の半導体装置の製造方法は、複数の配線層を有する半導体装置の製造方法において、第一の配線層は所望パターンを複数に分割し、前記分割されたパターンをつなぎ合わせて露光することでパターン形成され、第二の配線層は一括露光によりパターン形成されることを特徴とする。

【0015】

又、本発明の別の目的は、つなぎ露光を用いた固体撮像装置の製造方法において、工程数を削減し、効率的に感度の高い半導体装置の製造方法を提供することにある。

【0016】

上記課題を解決するために本発明の固体撮像装置は、光を信号電荷に変換する光電変換領域を有する画素と、第一の配線層と第二の配線層とからなる複数の配線層と、を有する固体撮像装置の製造方法において、第一の配線層は所望パターンを複数の分割し、前記分割されたパターンをつなぎ合わせて露光することでパターン形成され、第二の配線層は一括露光によりパターン形成されることを特徴とする。

【0017】

【発明の実施の形態】

(実施形態1)

図1は、本発明の半導体装置の製造方法を用いて形成された半導体装置の上面図である。尚、本実施形態においては半導体装置の一例として、光を信号電荷に変換する光電変換領域を有する固体撮像装置を例にあげて説明するが、本発明は固体撮像装置に限定されず、複数の配線層を有する半導体装置であれば良い。

【0018】

尚、図1において、1は光電変換領域としてのフォトダイオード、2は増幅トランジスタとしてのソースフォロア入力MOSトランジスタ、3は転送スイッチとしての転送MOSトランジスタ、4はリセットスイッチとしてのリセットMOSトランジスタ、5は選択スイッチとしての選択MOSトランジスタ、6は第一の配線層としての垂直信号線（垂直方向配線）、11は単位画素領域を表している。尚、本実施形態の単位画素領域11はフォトダイオード1、ソースフォロア入力MOSトランジスタ2、転送MOSトランジスタ及び選択MOSトランジスタを含んだ相補性金属酸化膜半導体（CMOS）を一例として用いているが、本発明は本画素構造に限定されない。12は第二の配線層としての駆動配線（水平方向配線）、13は第二の配線層としてのGND配線（水平方向配線）、14はトランジスタのソース・ドレイン領域、X-X'はつなぎ露光技術を用いて複数のパターンをつないだ際のつなぎ位置である。

【0019】

尚、第一の配線層及び第二の配線層は、それぞれが複数の配線層であっても良

い。

【0020】

例えば、本実施形態においては第一配線層として駆動配線 1 2 及び

GND 配線 1 3 が同一の配線層で形成されているが、別々の配線層で形成されていても良い。

【0021】

又、本図において GND と GND 配線およびゲートと駆動配線の接続は省略されている。

【0022】

又、図 1 は 2 画素のみを示しているが、実際の固体撮像装置は、このような構造の画素が 2 次元状に多数隣接して配置されている。

【0023】

本実施形態においては、つなぎ位置を跨がない垂直信号線 6 は、例えば微細加工対応の縮小投影装置でつなぎ露光により形成し、つなぎ位置を跨ぐ領域を有する駆動配線 1 2 及び GND 配線 1 3 は露光面積の大きい縮小投影装置を用いて一括露光により形成していることを特徴とする。

【0024】

すなわち、つなぎ位置を跨ぐ領域を有する第二の配線層は露光面積の大きい縮小投影装置を用いて一括露光することを特徴とする。

【0025】

又、つなぎ位置を跨がない第一の配線層は、つなぎ位置を跨ぐことがないため、微細加工対応の縮小投影装置で微細配線を形成することが可能である。すなわち、所望パターンを複数に分割し、分割されたパターンをつなぎ合わせて露光することでパターン形成を得る。

【0026】

従って、本実施形態の半導体装置の製造方法は、つなぎ位置を跨がない配線層を微細加工対応の縮小投影装置を用いてつなぎ露光で形成し、つなぎ位置を跨ぐ領域を有する配線層は露光面積の大きい縮小投影装置を用いて一括露光する。すなわち、つなぎ位置を跨ぐ領域を有する配線層はマージンを考慮に入れて微細加

工対応の縮小投影露光装置を用いてつなぎ露光で配線層を形成する場合に比べて、工程数を各段に減らすことが可能となり、効率的に、感度の高い固体撮像装置を得ることが可能となる。

【0027】

尚、例えば半導体装置としての固体撮像装置が、図1に示すような画素を複数有し、長辺を横方向、短辺を縦方向とした長方形を有する場合、縮小投影装置でのパターン形成におけるショット内の有効な領域のアスペクト比はおよそ縦：横＝1：1であるために、効率の良いつなぎ露光としては、図2に示す水平方向に2分割あるいは図3に示す3分割する方法が考えられる。

【0028】

図2はチップ200をつなぎ位置201により、パターンL、パターンRに2分割し、それぞれをショットL、ショットRで露光するものである。

【0029】

図3はチップ300をつなぎ位置301、つなぎ位置302により、パターンL、パターンM、パターンRに3分割し、それぞれをショットL、ショットM、ショットRで露光するものである。

【0030】

図4（A）は垂直方向配線であるmetal1をつなぎ露光によってパターン形成する様子を説明する図であり、1チップを図中分割位置によって2分割し、ショットL、ショットRによってつなぎ露光することにより所望パターンを形成する。図1の単位画素においてつなぎ位置401は、metal1を跨がないような位置に選ぶ。図4（B）はmetal2を一括露光によってパターン形成する様子を説明している。

【0031】

以上説明したように本発明の半導体装置及び固体撮像装置の製造方法によって、高開口率の確保、従って感度向上、或いは、適切な開口形状を得ることにより周辺画素の感度向上を図ることが可能となる。

【0032】

また、縮小投影装置のショット内では像高が大きくなるに従って解像度が低下

する。例えば像高が大きくなると図4 (A) のつなぎ位置401付近で解像度が低下する。すなわちつなぎ位置401付近においてパターンが存在する場合、解像度の低下によるパターン不良の発生が起こり得る。このようなパターン不良を避ける為に、図5 (B) に示すように1チップをつなぎ位置501及び502によって3分割し、ショットL、ショットM、ショットRによってつなぎ露光することにより所望パターンを形成する方法も考えられる。これにより像高の低い、従って解像度の高いレンズ中央に近い部分での良好なパターン形成により半導体装置或いは固体撮像装置を形成することが可能である。

【0033】

尚、つなぎ位置の位置及びつなぎ回数は、チップの大きさ或いは露光装置の性能によって適宜決まり得るものであり、本実施形態の回数に限定されない。

【0034】

次に、図6は本発明の半導体装置及び固体撮像装置の製造方法で形成された固体撮像装置に搭載可能なCMOSセンサの単位画素の一例を示した回路図である。

【0035】

尚、既に前述した部分と同様の部分には同一符号を付している。

【0036】

具体的に説明するに、フォトダイオード1は転送MOSトランジスタ3を介してソースフォロア入力MOSトランジスタ2のゲートに接続され、ソースフォロア入力MOSトランジスタのソースは選択MOSトランジスタ5を介して垂直信号線6へと接続されている。また、ソースフォロア入力MOSトランジスタ2のゲートを所定電位にリセットするリセットMOSトランジスタ4が設けられている。また、駆動時の過渡的なGND電位の変動を抑制するために画素毎にGNDに接続されるGND配線が設けられている（本図では省略）。

【0037】

次に、本画素の動作を図7の等価回路図および図8のタイミングチャートを用いて説明する。図7において、単位画素は図6の等価回路図で示されるものである。また、図7において単位画素とGNDの接続は省略されている。垂直走査回

路 7 によってある行 (n 行とする) が選択されたとき、まずリセット信号 $\phi_{RES}(n)$ がローとなり、リセットスイッチがオフする。次に選択信号 $\phi_{SEL}(n)$ がハイとなり、選択スイッチがオンとなりことで増幅 MOS トランジスタのソースは垂直出力線と導通し、選択された画素と定電流負荷 8 によって、ソースフォロア回路が形成される。つづいて ϕ_{TN} がハイとなり、転送ゲートを介して画素のリセット状態に対応する N 出力がラインメモリ 9 に読み出される。その後、転送パルス $\phi_{TX}(n)$ によって転送スイッチが一定期間オンとなり、光電変換素子で発生した光信号が増幅 MOS トランジスタのゲートに転送される。ひきつづき ϕ_{TS} がハイとなり、光信号に対応した S 出力がラインメモリに読み出される。次に、逐次、水平走査回路によって選択された列の N 信号、S 信号が読み出され、これら相関のある N 信号と S 信号の差分を実行することにより、光応答出力が得られる。

【0038】

このように、選択された行の画素の信号を同時にラインメモリに転送した後に逐次読み出すため、画素の駆動を行う選択 MOS トランジスタ、転送 MOS トランジスタ、リセット MOS トランジスタの制御線はつなぎ位置を跨ぐ水平方向の配線により構成され、つなぎ位置を跨がない信号線は垂直方向の配線で構成される。尚、本実施形態においては、GND 線はつなぎ位置を跨ぐ領域を有する水平方向で形成されている。

【0039】

(実施形態 2)

図 9 は本発明の半導体装置の製造方法を用いて形成された半導体装置の上面図である。尚、本実施形態においては第一実施形態と同様に半導体装置の一例として、光を信号電荷に変換する光電変換領域を有する固体撮像装置を例にあげて説明するが、本発明は固体撮像装置に限定されず、複数の配線層を有する半導体装置であれば良い。

【0040】

20 は第一の配線層としてつなぎ位置を跨がない配線層としての GND 配線である。

【0041】

尚、既に前述した部分と同様の部分には同一符号を付している。

【0042】

図9で示される単位画素は高開口率を確保するため、つなぎ位置を跨ぐ領域を有する第二の配線層として駆動配線12、つなぎ位置を跨がない第一の配線層線としてGND配線20及び垂直出力線6を垂直方向配線としている。本例では、第二の配線層としての水平方向配線はmetal2で構成され、第一の配線層はmetal1で構成されている。

【0043】

本実施形態は図6で示される単位画素のGND線を垂直方向配線で構成した場合のレイアウト図の一例であり、本図においてゲートと駆動配線の接続は省略されている。

【0044】

また、図9は2画素のみを示しているが、実際の固体撮像装置は、このような構造の画素が2次元状に多数隣接して配置されている。

【0045】

本実施形態が第一実施形態と異なる点は、第一実施形態ではGND配線13はつなぎ位置を跨ぐ領域を有する様に一括露光で配置していたのに対し、本実施形態ではGND配線20はつなぎ位置を跨がない様につなぎ露光技術を用いて形成されている点である。

【0046】

具体的に説明するに、前述したようにつなぎ位置を跨ぐ領域を有する配線層は、つなぎ露光技術を用いてもマージンを考慮する必要があるので一括露光に比べて配線幅、配線間スペースで有利になり得ない。すなわち、つなぎ位置を跨ぐ領域を有する第二の配線層は一括露光、つなぎ露光いずれの方法を用いた場合でも配線幅、配線間スペースに関して微細加工を行うことができず、開口率の低下、感度の低下、或いは開口形状の偏り、周辺画素の感度低下、また更には、分割位置の左右のショットのアライメントズレに起因する感度ズレがあった。従って、つなぎ位置を跨ぐ領域を有する第二の配線層は少ない程良い。

【0047】

さらに具体的に説明するに、図10(A)は実施形態1の図1に示す固体撮像装置が例えば画素数300万画素の固体撮像装置の中央付近に配置された中央画素の際の線10-10'における模式的断面図、図10(B)は実施形態1の図1に示す固体撮像装置が例えば画素数300万画素の端部付近に配置された周辺画素の際の線10-10'における模式的断面図、図11(A)は本実施形態の図9に示す固体撮像装置が例えば画素数300万画素の固体撮像装置の中央付近に配置された中央画素の際の線11-11における模式的断面、図10(B)は本実施形態の図9に示す固体撮像装置が例えば画素数300万画素の端部付近に配置された周辺画素の際の線11-11'における模式的断面図である。

【0048】

図10(A)及び図10(B)においてmetal2の配線層は、選択MOSトランジスタ5、転送MOSトランジスタ3、リセットMOSトランジスタ4の駆動配線12及びGND配線層13を有する配線層である。また、metal2は遮光層兼電源を兼ねている。図10(A)で示される中央画素は、metal2の配線層であるGND配線層13と転送MOSトランジスタ3の駆動配線12とによって光路が決定されている。しかしながら図10(B)に示すように、周辺画素では中央画素に比べて斜め方向から入射する光が多いため中央画素(図10(A))と比較して光路が遮られる量が多く、従って周辺画素では中央画素よりも感度が低くなる。さらに、metal2の配線層によって開口部が規定されているため、つなぎ位置の左右のショットのアライメントズレの違いによってつなぎ位置の左右で感度が異なるという問題も起こり得る。

【0049】

一方、図11(A)及び図11(B)ではGND配線13が無い場合、光路は転送MOSトランジスタ3と選択MOSトランジスタ5の駆動配線で開口部が規定される。従って、周辺画素(図11(B))において光が斜めから入射しても開口部が広い場合光路が遮られ難い。従って、中央画素と周辺画素との感度のバラツキが低減された固体撮像装置が提供できる。さらには、つなぎ露光技術を用いて半導体装置及び固体撮像装置を製造した場合、つなぎ位置の左右のショット

におけるアライメントズレに起因する感度ズレを防げる。

【0050】

尚、実施形態1及び本実施形態において、第二の配線層をmetal1で構成し、第一の配線層をmetal2で構成しても良い。この場合、metal2をつなぎ露光によりパターン形成し、metal1を一括露光によりパターン形成することにより、本発明の効果が得られる。

【0051】

また、本発明は、単位画素の等価回路図が図4に示される例に限らず、つなぎ露光、一括露光の両者を用いてパターン形成を行う半導体装置及び固体撮像装置について適用可能なものである。例えば、図12の等価回路図で示される単位画素を行列状に配置して成る固体撮像装置においても同様の効果が得られる。図12と図4は、図4においては選択MOSトランジスタ5がソースフォロア入力MOSトランジスタ2に対して垂直出力線6側に接続されるのに対して、図12においては選択MOSトランジスタ5がソースフォロア入力MOSトランジスタ2に対して電源側に接続される点で異なる。尚、動作タイミングは両者同様である。

【0052】

【発明の効果】

以上述べたように、複数の配線層を有する半導体装置或いは固体撮像装置の製造方法において、つなぎ位置を跨ぐ領域を有する配線層を一括露光によりパターン形成し、つなぎ位置を跨がない配線層をつなぎ露光パターン形成することで工程数を各段に減らすことが可能となり、効率的に、感度の高い半導体装置或いは固体撮像装置を得ることが可能となった。

【0053】

又、画素部の構成に関して、画素の駆動線を水平方向配線とし、駆動線以外の配線を垂直方向配線とすることにより、有効な微細化による高開口率の確保、従って感度向上、或いは、適切な開口形状を得ることによる周辺画素の感度向上、及び、つなぎ位置での感度ズレのない良好な画質を実現することが可能となる。

【図面の簡単な説明】

【図 1】

本発明の固体撮像装置の製造方法を用いて形成された固体撮像装置の実施形態 1 の単位画素の上面図である。

【図 2】

実施形態 1 におけるつなぎ露光を説明するための上面図である。

【図 3】

実施形態 1 におけるつなぎ露光を説明するための上面図である。

【図 4】

本発明の半導体装置の製造方法を説明した図である。

【図 5】

本発明の半導体装置の製造方法を説明した図である。

【図 6】

実施形態 1 の CMOS センサの単位画素の等価回路図である。

【図 7】

実施形態 1 の CMOS センサの動作を説明する等価回路図である。

【図 8】

実施形態 1 の CMOS センサの動作を説明するタイミング図である。

【図 9】

本発明の固体撮像装置の製造方法を用いて形成された固体撮像装置の実施形態 2 の単位画素の上面図である。

【図 1 0】

図 1 における線 8 - 8' における模式的断面図である。

【図 1 1】

図 9 における線 9 - 9' における模式的断面図である。

【図 1 2】

本発明の固体撮像装置の製造方法で形成された固体撮像装置の等価回路図である。

【図 1 3】

従来技術の半導体装置の製造方法を説明するための模式的パターン図である。

【図 1 4】

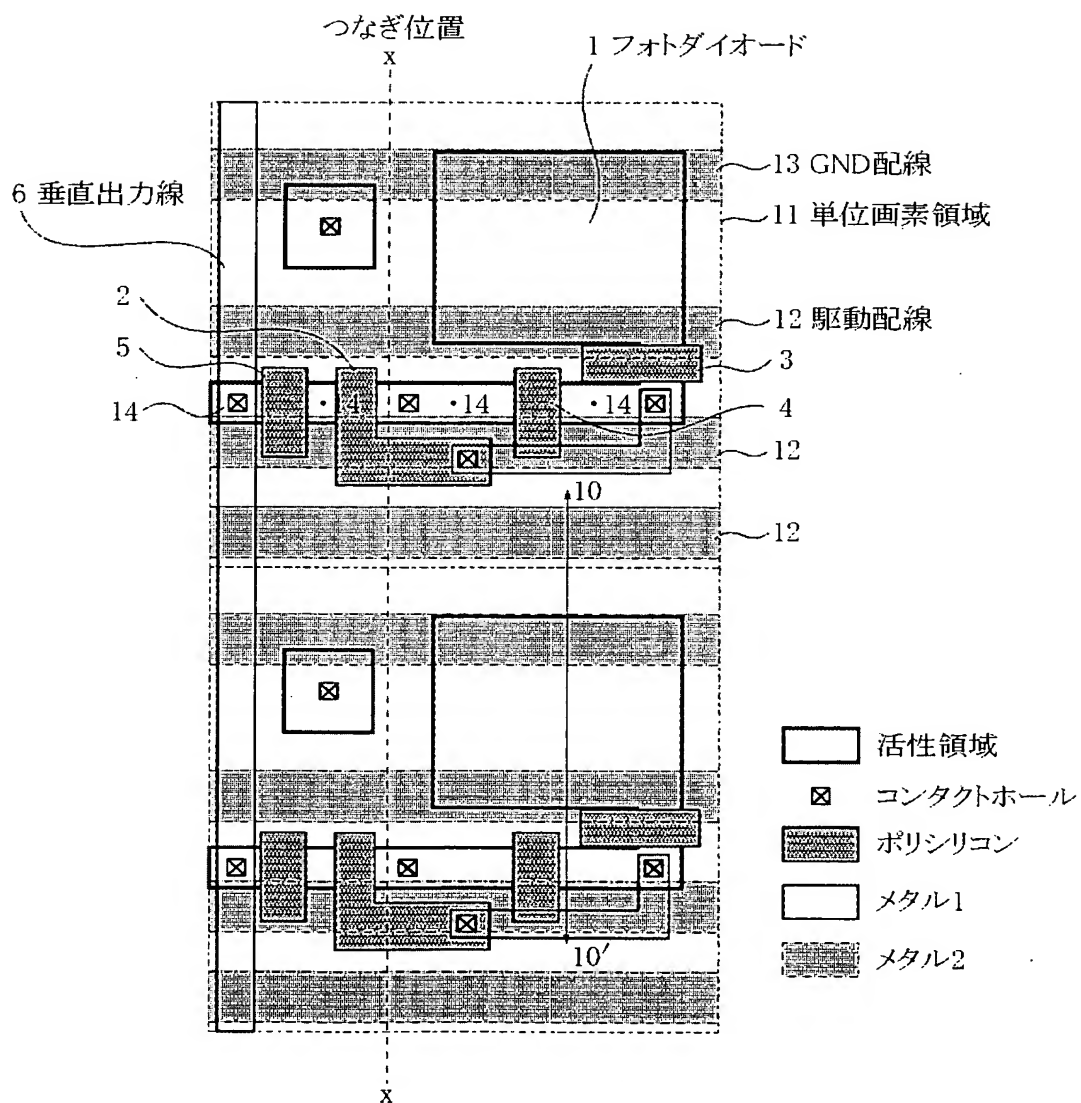
従来技術において、つなぎ露光を用いた際のつなぎ位置での配線形状を説明する図である。

【符号の説明】

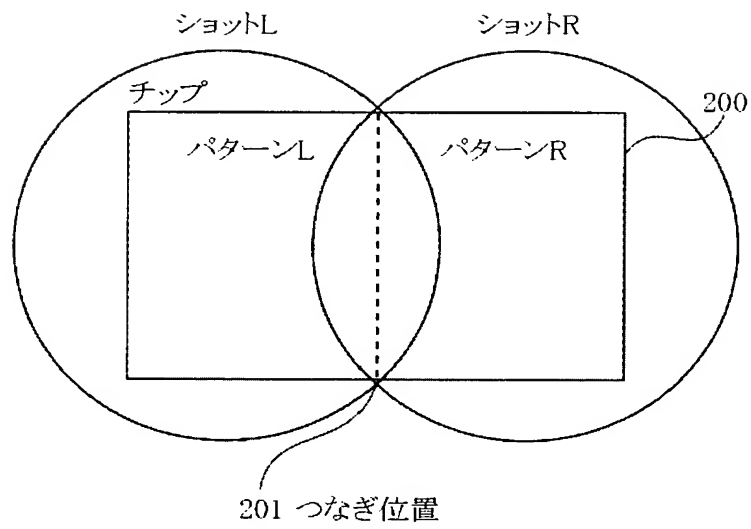
- 1 フォトダイオード
- 2 ソースフォロア入力MOSトランジスタ
- 3 転送MOSトランジスタ
- 4 リセットMOSトランジスタ
- 5 選択MOSトランジスタ
- 6 垂直信号線
- 7 垂直走査回路
- 8 定電流源
- 9 ラインメモリ
- 10 水平走査回路
- 11 単位画素領域
- 12 駆動配線
- 13 GND配線

【書類名】 図面

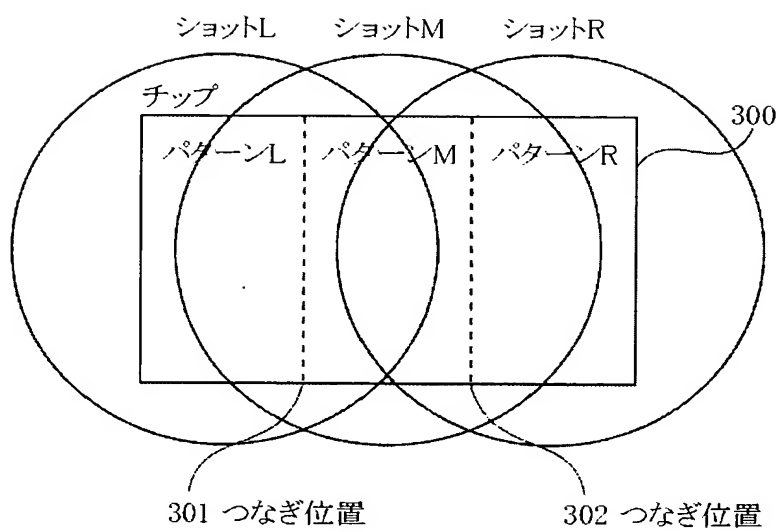
【図 1】



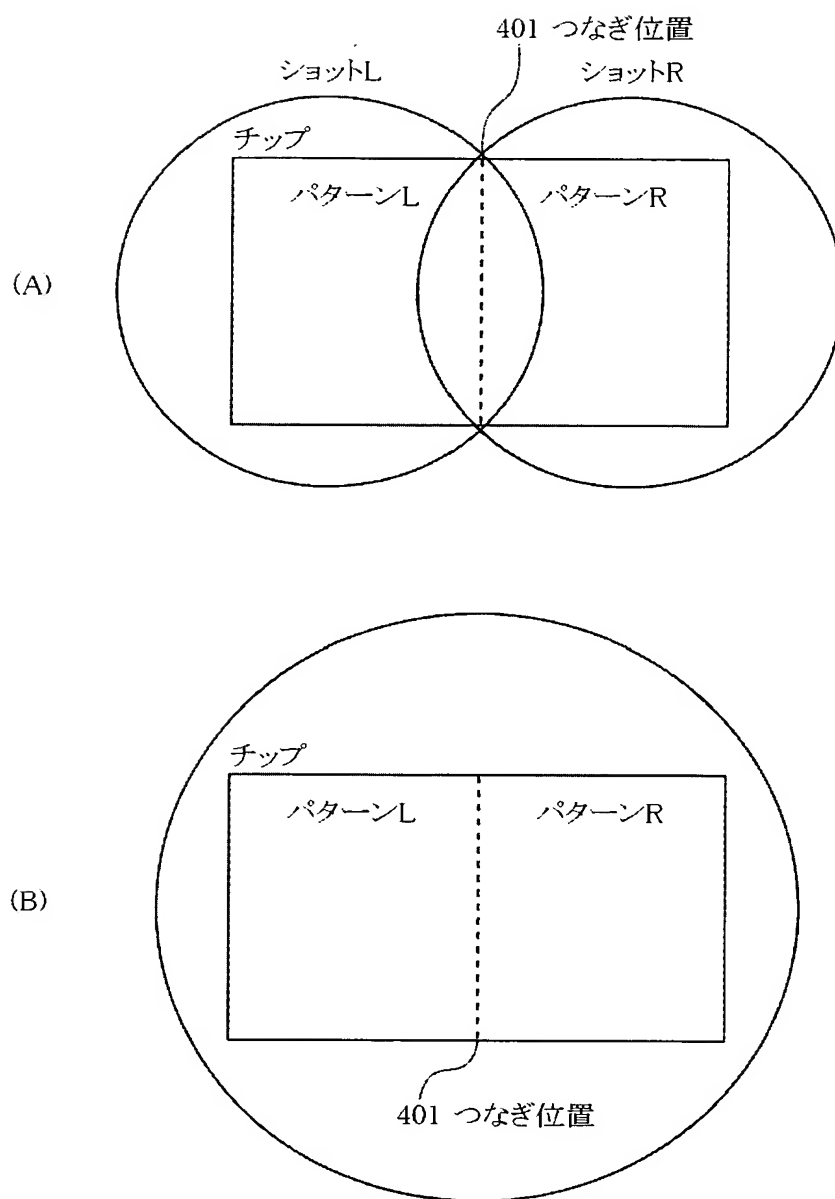
【図 2】



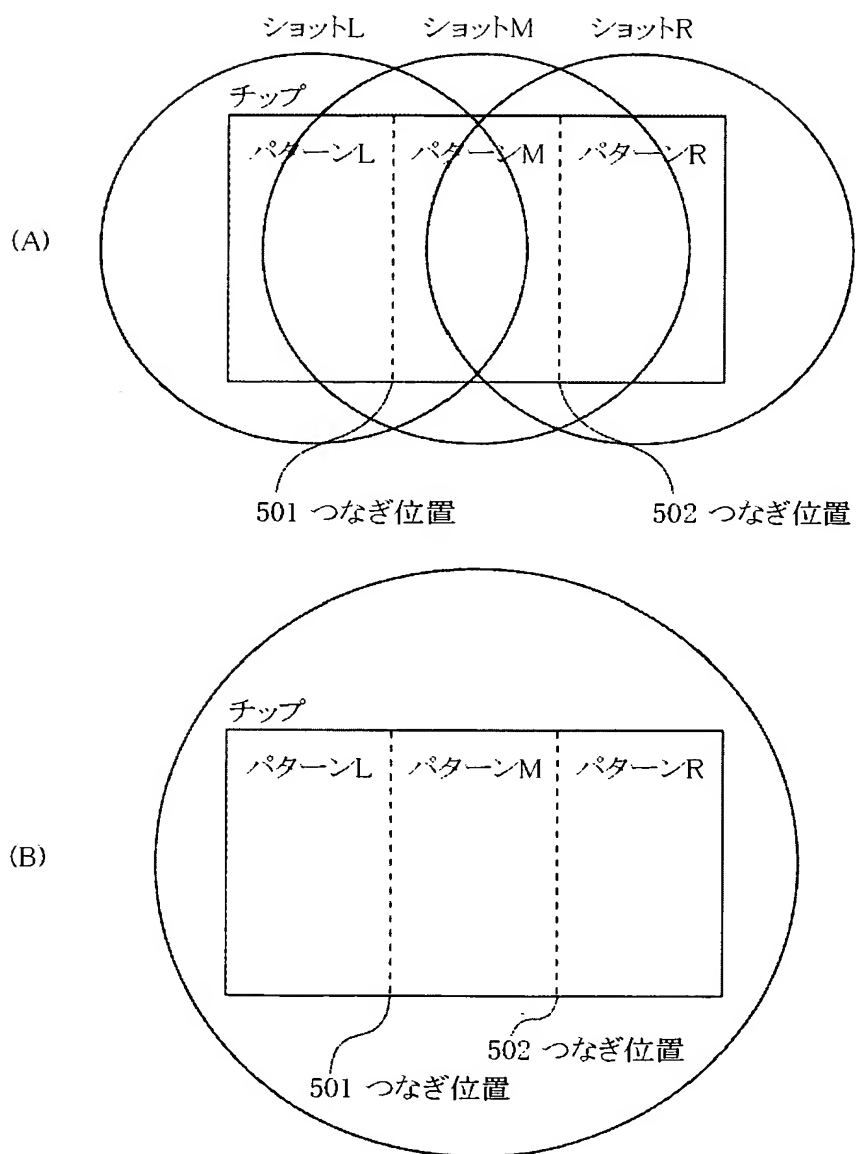
【図 3】



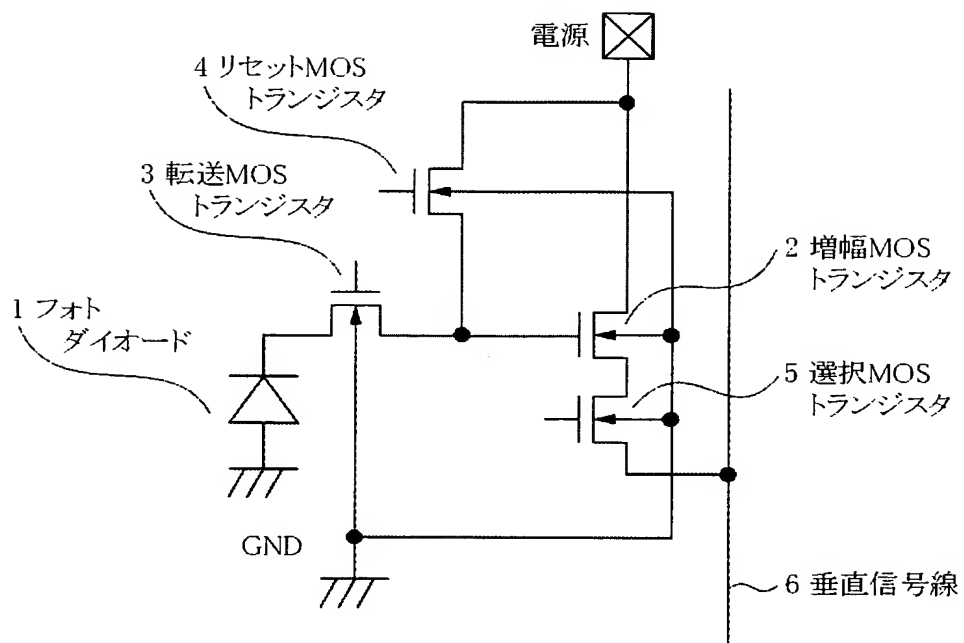
【図 4】



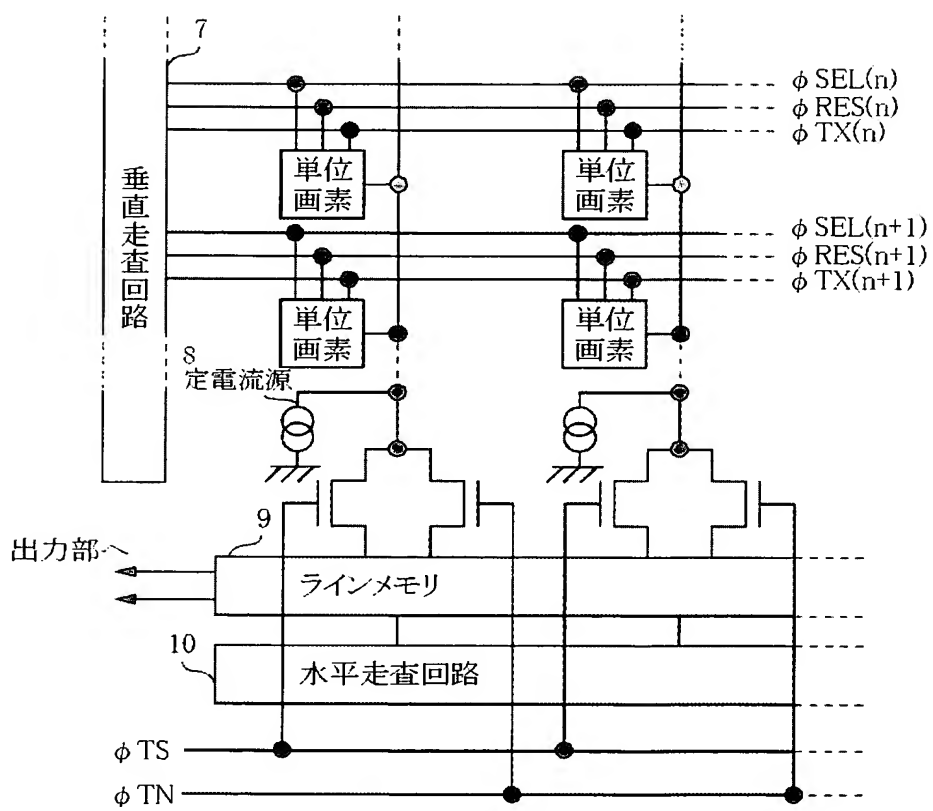
【図 5】



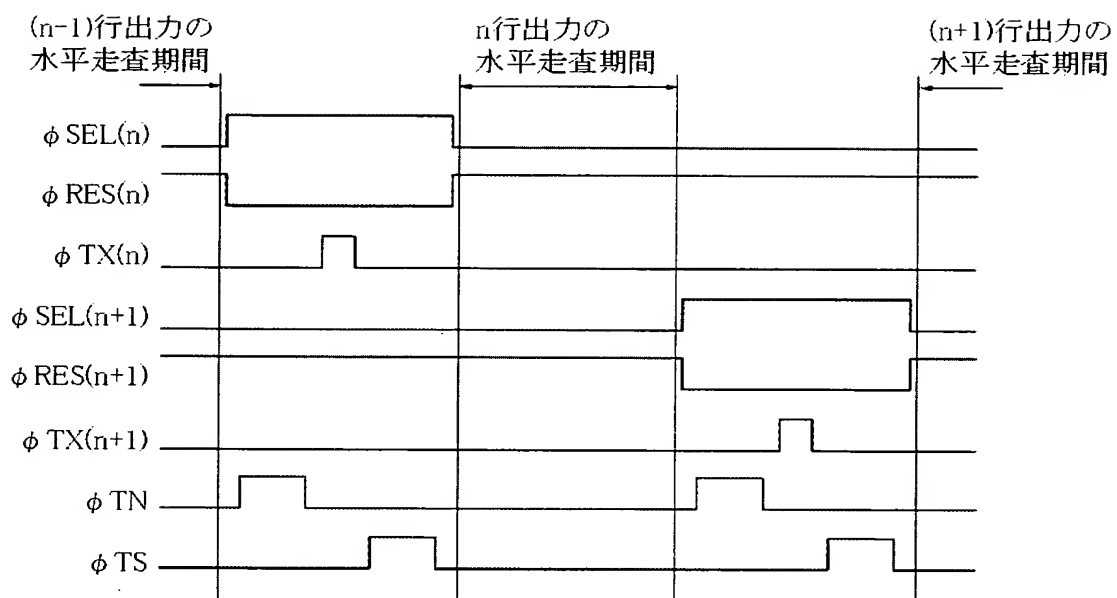
【図 6】



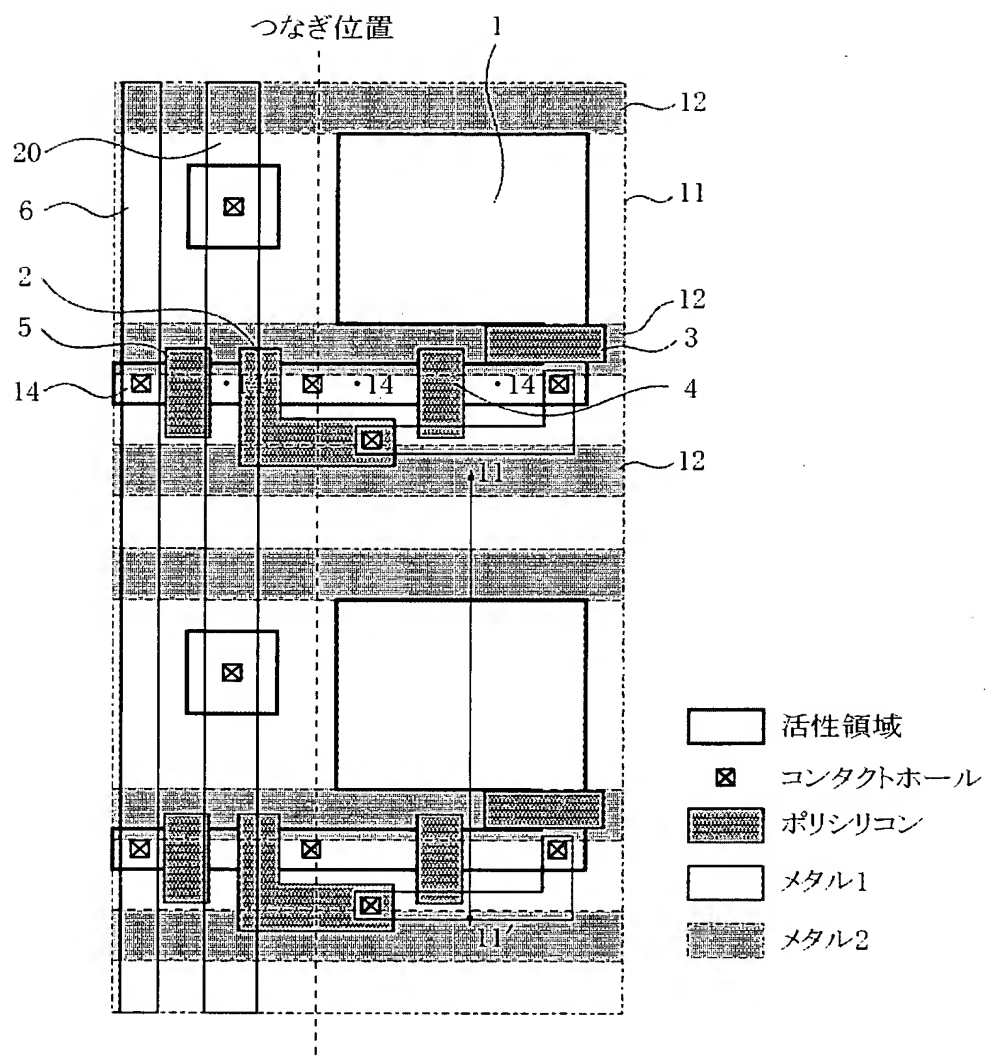
【図 7】



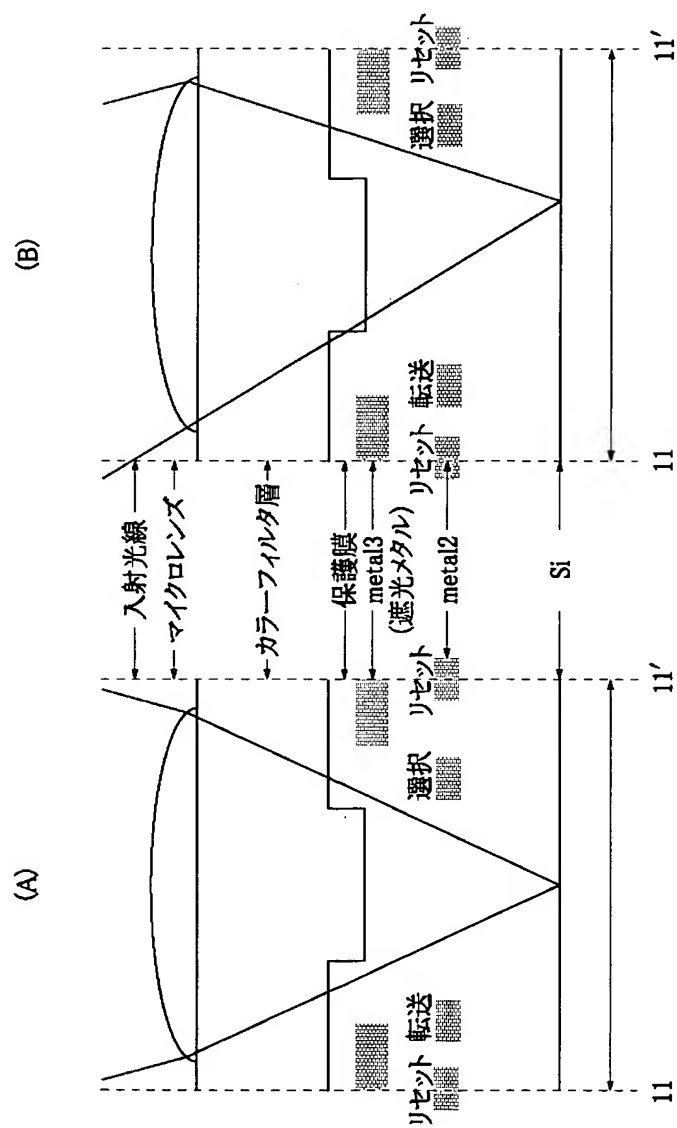
【図 8】



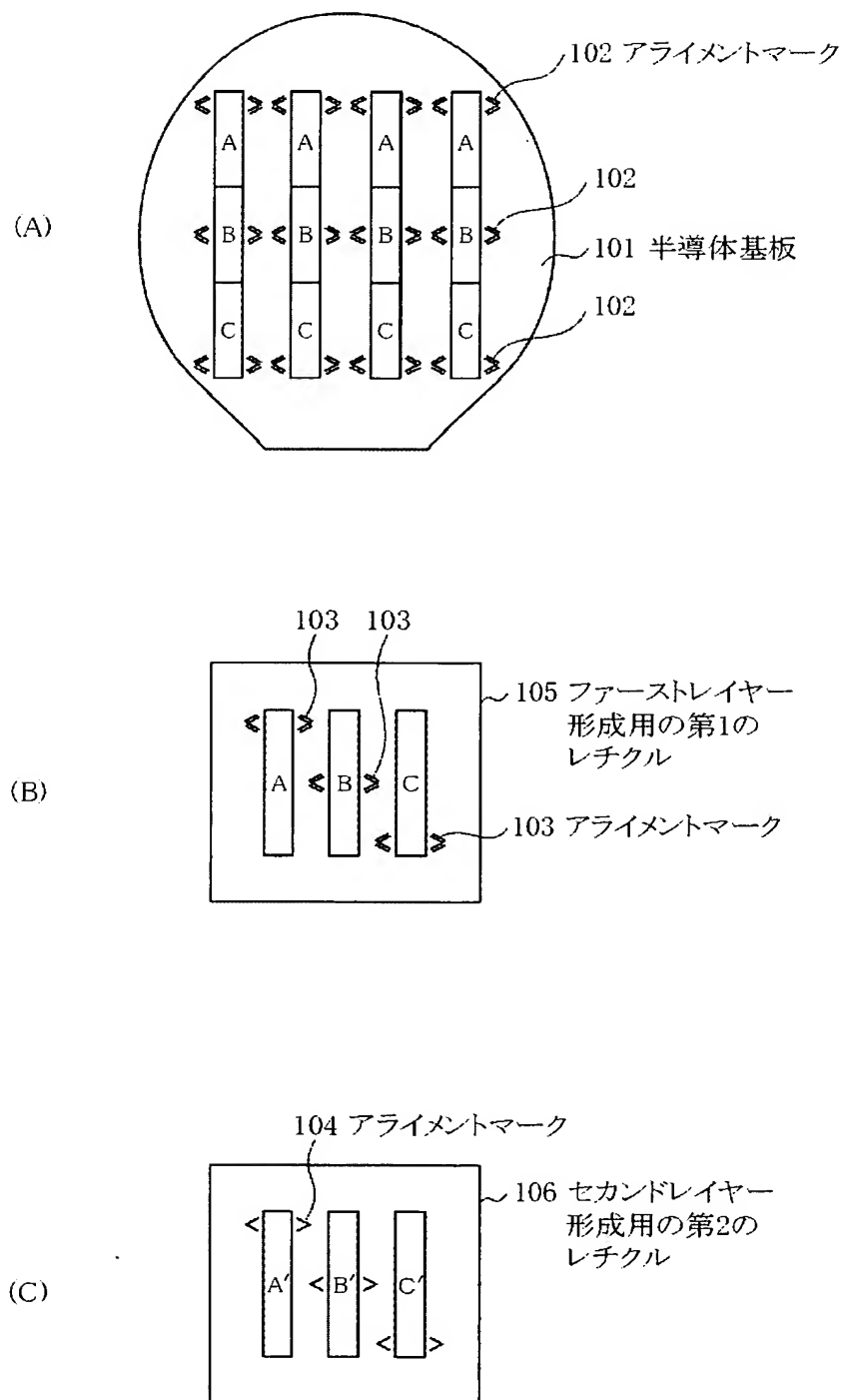
【図 9】



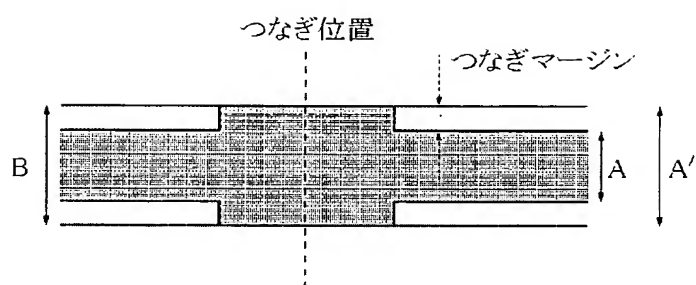
【図 11】



【図 13】



【図 14】



- A : 微細加工対応の縮小投影装置での露光により形成する場合の配線幅
A' : 分割露光により形成する場合の配線幅(つなぎマージンを考慮した場合)
B : 露光面積の大きい縮小投影装置を用いて一括露光により形成する場合の配線幅

【書類名】 要約書

【要約】

【課題】 つなぎ位置を跨ぐ領域及び跨がない領域を有する配線層が存在する半導体装置において、つなぐ位置を跨ぐ領域を有する配線層をつなぎ露光で形成すると、アライメントマージンを考慮してパターン形成されるので、一括露光で形成する場合よりも、配線幅、配線間スペースで有利にならなかった。

【解決手段】 複数の配線層を有する半導体装置の製造方法において、

第一の配線層は所望パターンを複数の分割し、前記分割されたパターンをつなぎ合わせて露光することでパターン形成され、

第二の配線層は一括露光によりパターン形成されることを特徴とする半導体装置の製造方法。

【選択図】 図 1

特願 2 0 0 2 - 2 7 5 0 1 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 0 0 7]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都大田区下丸子 3 丁目 3 0 番 2 号

氏 名

キャノン株式会社